

51

Int. Cl.:

H 03 b, 23/00

BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENTAMT



52

Deutsche Kl.: 21 a4, 8/01

10

11

21

22

43

Offenlegungsschrift 2 241 810

Aktenzeichen: P 22 41 810.6-35

Anmeldetag: 25. August 1972

Offenlegungstag: 15. März 1973

Ausstellungspriorität: —

30

Unionspriorität

32

Datum: 27. August 1971

33

Land: V. St. v. Amerika

31

Aktenzeichen: 175472

64

Bezeichnung: Digitaler Sinus-Funktionsgenerator

61

Zusatz zu: —

62

Ausscheidung aus: —

71

Anmelder: ~~Mendrel Industries~~ Inc., Houston, Tex. (V. St. A.)

Vertreter gem. § 16 PatG: ~~Weickmann, F., Dipl.-Ing.~~; Weickmann, H., Dipl.-Ing.;
Fincke, K., Dipl.-Phys. Dr.; Weickmann, F. A., Dipl.-Ing.;
Huber, B., Dipl.-Chem.; Patentanwälte, 8000 München

72

Als Erfinder benannt: Kiowski, John Wayne, Houston, Tex. (V. St. A.)

Prüfungsantrag gemäß § 28 b PatG ist gestellt

gedruckt: s. Pat.-Bl. v. 22.4.76

01 2241810

PATENTANWÄLTE

DIPL.-ING. F. WEICKMANN,

DIPL.-ING. H. WEICKMANN, DIPL.-PHYS. DR. K. FINCKE

DIPL.-ING. F. A. WEICKMANN, DIPL.-CHEM. B. HUBER

2241810

DXIII

8 MÜNCHEN 86, DEN

POSTFACH 860820

MÜHLSTRASSE 22, RUFNUMMER 483921/22
(983921/22)

MANDREL INDUSTRIES INC., P.O.Box 36306, Houston, Texas, V.St.A.

Digitaler Sinus-Funktionsgenerator

Die vorliegende Erfindung betrifft einen digitalen Sinus-funktions-Generator zur Erzeugung eines analogen sinusförmigen Signals.

Insbesondere handelt es sich dabei um einen digitalen Generator zur Erzeugung eines analogen Signals, das einen Bereich von einer Periode bis zu einer großen Anzahl von Perioden in einem wählbaren Zeitabschnitt von einer Vielzahl von Sekunden durchlaufen kann (wobbel-signal).

Es sind bereits verschiedene analoge Anordnungen zur Erzeugung von seismischen Wobbel-Signalen zur Speisung von variablen seismischen Signalgeneratoren bekannt geworden. Typisch für derartige bekannte Anordnungen sind Bandgeräte mit rotie-

309811/6747

- 2 -

render Trommel, in denen das analoge Wobbel-Signal auf der Trommel aufgezeichnet ist. Eine Umdrehung der Trommel liefert dabei ein Wobbel-Signal, das mittels Radioübertragungsvorrichtungen auf zugehörige Vibrationsanlagen übertragen wird. Bei hochschnellen seismischen Vorgängen ist jedoch ein kontinuierlicher Betrieb erforderlich, so daß auch eine kontinuierliche Radioübertragung notwendig wird, welche jedoch eine nicht wünschenswerte Betriebsbedingung darstellt. Darüber hinaus erzeugen derartige analoge Anordnungen Signale, welche mit Schwankungen, großen Verzerrungen und sich wiederholenden Fehler-Wobbel-Signalen verbunden sind.

In typischen bekannten digitalen Anordnungen zur Erzeugung eines Wobbelsignals wird ein vorbespieltes Bibliotheksband verwendet, wobei das Wobbelsignal über einen Computer digitalisiert und dann auf dem Band gespeichert wird. Im Betrieb wird das Ablenssignal vom Band auf einen Fernspeicher gegeben und sodann mindestens einer Vibratoranlage zugeführt. Gemäß einer Möglichkeit wird das Wobbelsignal ebenso wie bei den vorerwähnten analogen Anordnungen auf dem Radiowege übertragen, wobei sich die gleichen Probleme in Form einer kontinuierlichen Radioübertragung usw. ergeben. Gemäß einer anderen Möglichkeit kann in jeder Vibratoranlage ein getrennter Kernspeicher vorgesehen werden, wobei dann die Kerne mittels Radioübertragungsanordnungen verbunden werden. Diese Maßnahme erfordert jedoch sehr genaue Verbindungen, um die Kerne zu genau gleichen Zeiten auszuspeisen; das bedeutet mit anderen Worten, daß die Vibrationsquellen synchron betrieben werden müssen. Darüber hinaus

ist es erforderlich, das Problem der Einspeicherung eines gewünschten Wobbelsignals in den Kernspeicher jeder Vibratoranlage zu lösen. Schließlich ist auch die Verwendung einer Vielzahl von Kernspeichern aufwendig und damit teuer.

Gemäß vorliegender Erfindung werden bei einem digitalen Sinusfunktions-Generator der eingangs genannten Art die vorgenannten Nachteile durch folgende Maßnahmen vermieden:

einen Hauptoszillator zur Erzeugung eines Paares von Taktsignalen vorgegebener Frequenzen,
einen eines der Taktsignale vorgegebener Frequenz aufnehmenden Frequenzänderungstakt-Generator zur Erzeugung eines Frequenzänderungstakt-Signals wählbarer Frequenz,
einen das andere Taktsignal vorgegebener Frequenz und das Frequenzänderungstakt-Signal aufnehmenden Anstiegs-Taktgenerator zur Erzeugung eines Anstiegs-Taktsignals entsprechend vorgewählter Intervalle zwecks Erzeugung einer gegebenen Sinus-Frequenz,

und einen das Anstiegs-Taktsignal aufnehmenden digitalen Sinusfunktions-Generator zur digitalen Erzeugung von 360° eines Sinusquells entsprechend einer Periode des gewünschten Analsignals.

Beim erfindungsgemäßen Generator handelt es sich also um eine digitale Schaltung zur Erzeugung eines analogen Wobbel-Signals variabler Frequenz am Ort jeder Vibratoranlage, wobei relativ unaufwendige logische Schaltkreise verwendet werden.

Der Hauptoszillator erzeugt ein Paar von Taktsignalen, welche im folgenden als Intervallregister-Takt und als Zeitperioden-Register-Takt bezeichnet werden. Diese Taktsignale werden auf den Frequenzänderungstakt-Generator bzw. den Anstiegstakt-Generator gegeben. Die Anzahl der zu durchlaufenden Perioden (der Bereich kann durch digitale Subtraktion einer Startfrequenz des Wobbel-Vorgangs von der Endfrequenz des Wobbelvorgangs festgelegt werden. Um logische Elemente zu sparen, kann die Anzahl der Perioden auch direkt durch eine Bedienungsperson als Binärzahl eingegeben werden. Das resultierende "Bereichs-Eingangssignal" wird zusammen mit einem Zeiteingangssignal, das der ausgewählten Zeitdauer des gewünschten Wobbel-Vorgangs entspricht, auf eine Teilerlogik und ein Intervallregister gegeben. Der Bereich wird in die Zeit des Wobbelvorgangs mal dem Intervallregister-Takt und mal der Auflösung geteilt. Der resultierende Frequenzänderungs-Takt wird auf ein Frequenzregister des Anstiegstakt-Generators gegeben, wodurch das Zeitintervall festgelegt wird, mit dem das Frequenzregister fortgeschaltet wird; damit wird die Schaltfolge erhöht, mit dem ein Anstiegszähler fortgeschaltet wird, was im folgenden noch genauer erläutert wird.

Im Anstiegstakt-Generator findet ein Zeitperiodenregister und eine zugehörige Teilerlogik Verwendung, wobei die Register-Taktfolge als Zeitbasis dient und eine Multiplikation dieser Taktfolge mit einer ausgewählten Anzahl von Punkten pro Periode der Sinuswelle stattfindet. Das Ergebnis dieser Multiplikation wird durch die Frequenz in Frequenzregister geteilt, in das

der Frequenzänderungs-Takt eingespeist wird, wodurch der Anstiegs-Takt entsteht, welcher in den zur Ze Erzeugung gegebenen Sinus-Frequenz notwendigen genauen Intervallen auftritt.

Der resultierende Anstiegstakt wird auf den digitalen Sinusfunktions-Generator gegeben und tritt zeitlich schneller als die Zeitperiode der geforderten Frequenz auf, wobei diese Zeit gleich der ausgewählten Anzahl von Punkten in jeder Periode der Sinuswelle ist. Die Anstiegs-Taktsignale schalten einen Binärzähler fort, der die Punkte in der Sinuswelle digital erzeugt. Ein Festwertspeicher enthält die Sinusfunktionen von 0° - 90° in einer vorgegebenen Anzahl von Speicherstellen in Abhängigkeit von der geforderten Auflösung. Der Anstieg-zähler adressiert diese Speicherstellen sequentiell. Die notwendigen Adressen für den Zugriff zur Sinusfunktion von 91° - 180° werden durch Komplementärbildung im Zähler erhalten.

Die nächsten 180° werden durch Wiederholung der vorgenannten Schritte unter Verwendung des Sinus-Bits zur Festlegung der entgegengesetzten Polarität der Sinuswelle erhalten. Für den Zugriff zur Sinusfunktion von 271° - 360° erfolgt eine erneute Komplementärbildung im Zähler.

Das über dem Sinusfunktions-Generator erzeugte digitale Wort für die Sinuswelle wird in einem Digital-Analog-Konverter eingespeist, um das analoge Wobbel-Signal im erfindungsgemäßen Sinne zu erzeugen.

Weitere Merkmale und Einzelheiten der Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsformen anhand der Figuren. Es zeigt:

Fig. 1 ein Blockschaltbild einer Ausführungsform des erfindungsgemäßen Generators;

Fig. 2 - 4 jeweils ein Schaltbild von Teilen des Generators nach Fig. 1;

Fig. 5 ein Blockschaltbild einer Ausführungsform eines Sinusfunktions-Generators gemäß der Erfindung; und

Fig. 6 ein die Schaltung nach Fig. 5 detaillierter darstellendes Schaltbild.

In der Anordnung nach Fig. 1 liefert ein Steueroszillator 12 ein Paar vorgegebener Takteingangssignale auf einen Frequenz-
änderungstakt-Generator 14 und einen Anstiegstakt-Generator 16. Diese Taktsignale werden als Intervallregister-Takt -IR - Takt - und Zeitperiodenregister-Takt - CPR-Takt - bezeichnet. Der Generator 14 enthält eine Bereichseingangsstufe 18 zur Festlegung der Anzahl der zu durchlaufenden Perioden (Bereich). Das Bereichseingangssignal wird in eine Teilerlogik 19 eingespeist, die ihrerseits an ein Intervallregister 20 angekoppelt ist. Die Wobbelzeitdauer wird weiterhin auch über eine Zeiteingangsstufe 22 auf die Teilerlogik 19 gegeben. Der Bereich wird, wie anhand von Fig. 3 noch genauer beschrieben wird,

durch die Teilerlogik 19 und das Intervallregister 20 in die Hoppel-Zeit mal dem IR-Takt vom Steuerszillator 12 (und der Auflösung) geteilt. Eine Auflösung, die größer oder kleiner als eine Periode ist, erfordert eine Division oder Multiplikation mit der Auflösungszahl.

Der resultierende Frequenzänderungstakt wird in ein Frequenzregister 24 des Anstiegstakt-Generators 16 eingespeist. Eine Startfrequenzstufe 24 liefert eine Startfrequenz. Eine Binärzahl, welche den TPR-Takt vom Hauptszillator 12 darstellt und mit der in jeder Periode der Sinuswelle ausgewählten Anzahl von Punkten multipliziert wird, wird zur Erzeugung des Anstiegstaktimpulses durch die Frequenz im Frequenzregister 24 geteilt. Beispielsweise entspricht die Frequenz des Frequenzregisters 24 dem vom Frequenzänderungstakt-Generator 14 gelieferten Frequenzänderungstakt - d.h., diese Frequenz wird durch diesen Takt modifiziert. Wenn das Frequenzregister unverändert bleibt, kann anstelle eines Kippsignals ein sinusförmiges Ausgangssignal mit konstanter Frequenz erzeugt werden.

Die Teilung der TPR-Taktfrequenz zur Erzeugung des Anstiegstaktimpulses erfolgt durch kontinuierliche Subtraktion der Komplementbinärzahl im Frequenzregister 24 von der Binärzahl in einem Zeitperiodenregister 30. Die Subtraktion der beiden Zahlen erfolgt durch eine Teilerlogik 28. Wenn die Zahl im Frequenzregister 24 derart ausreichend oft subtrahiert ist, daß

das Zeitperiodenregister 30 beim nächsten TPR-Taktsignal negativ wird, so wird ein den Anstiegstakt repräsentierender Impuls auf eine zu einem Anstiegszähler 34 eines digitalen Sinusfunktions-Generators 32 führende Leitung gegeben. Im nächsten Taktzeitpunkt läuft das Zeitperiodenregister 30 über, wodurch eine Binärzahl erzeugt wird, die gleich dem positiven Rest vor dem Überlauf $+ 4,096$ abzüglich dem Inhalt des Frequenzregisters 24 ist.

Der Anstiegstakt tritt mehrmals schneller als die Zeitperiode der geforderten Frequenz auf, wobei die gewählten Zeitpunkten gleich den vorgegebenen Punkten in einer Periode des sinusförmigen Ausgangssignals sind. Die Anstiegstaktsignale schalten einen Anstiegszähler fort, welcher die Anzahl der Punkte der Sinuskurve digital erzeugt. Wie oben erwähnt, bestimmt die gewünschte Auflösung, wie viele Punkte pro Periode erzeugt werden. Der Zählerzustand wird auf einen Anstiegsgenerator 36 gegeben, welcher eine logische Matrix ist und die Sinusfunktionen von $0 - 130^\circ$ in einem binären Wort liefert. Der Anstiegsgenerator 36 arbeitet zusammen mit dem höchstwertigen Bit des Anstiegszählers (Sinus-Bit) auf einen digitalen analogen Konverter 38, worin das digitale Ausgangswort in eine Analogspannung überführt wird, welche der Amplitude der Analog-Sinusform bzw. dem gewünschten Wobbel-Signal entspricht.

In den Fig. 2 bis 6 sind als Beispiele Schaltbilder spezieller logischer Kreise für den Frequenzänderungstakt-Generator 14, den Anstiegstakt-Generator 16, den Steuerszillator 12 und

den digitalen Sinusfunktions-Generator 32 dargestellt. Im Rahmen der Erfindung können jedoch zur Durchführung der für spezielle Anwendungsfälle des digitalen Wobbel-Generators erforderlichen Funktionen Modifikationen und/oder ein Ersatz von speziellen logischen Kreisen vorgenommen werden. Beispielsweise enthält die Teilschaltung zur Signalverminderung an den Enden des Wobbel-Signals die in Fig. 6 unten dargestellten Elemente. Ist andererseits ein analoges sinusförmiges Ausgangssignal konstanter Frequenz erwünscht, so kann der Frequenzänderungstakt-Generator 14 abgeschaltet werden, wodurch das Frequenzregister 24 mit einer konstanten vorgegebenen Frequenz betrieben und nicht durch den Frequenzänderungstakt des Generators 14 gesteuert wird. Wenn das Frequenzregister 24, beispielsweise über eine Voreinstell-Fingerscheiben-Eingangsanordnung eine Stellfrequenz am Eingang erhält, so stellt folglich die Kombination aus Anstiegstakt-Generator 16 und digitalem Sinusfunktionsgenerator 32 einen sehr genauen, in verschiedenen elektronischen Bereichen generell verwendbaren digitalen Oszillator dar.

Fig. 2 zeigt im einzelnen eine Ausführungsform des Ausgangssteueroszillators 12 nach Fig. 1. Ein Kristalloszillator 40 liefert einen vorgegebenen Takt mit einer Frequenz von 524.288 KHz, welcher den vorerwähnten TPR-Takt darstellt. Dieser TPR-Takt wird auf einen rückwärts zählenden Teiler 42 gegeben, welcher um 16 herunterteilt, um den vorerwähnten IR-Takt mit einer Frequenz von 32.768 KHz zu erzeugen. Der IR-Takt

wird weiterhin auf eine Folge von Zählern 44 bis 50 gegeben, welche den Takt zur Bildung eines 1-Sekunden-Taktes um 32,768 teilen. Die Zählung beginnt, wenn ein Start-Flip-Flop 62 gestellt wird, wodurch die Rückstelleingangssignale von den Zählern 44 bis 50 abgeschaltet werden. Auf Zähler 52 und 54 wird ein Zeiteingangssignal gegeben, wodurch eine manuelle Möglichkeit zur Einstellung der Zeitdauer des Wobbel-Signals gegeben ist. Das bedeutet, daß die Zähler 52 und 54 zur Zeitzählung benutzt werden und zur Bildung eines 9-Sekunden-Wobbelvorgangs auf acht eingestellt werden. Wenn die Zähler alle bis zum "1"-Zustand gezählt haben, bewirkt ein B_0 -Ausgangssignal des Zählers 54, daß ein Zähler 56 (der bereits die Verminderungsrückstelldauer-Einstellung besitzt) zu zählen beginnt. Wenn ein B-Ausgangssignal des Zählers 56 seinen tiefen Signalzustand annimmt, wird ein monostabiler Multivibrator 58 getriggert. Ein Oder-Gatter leitet diesen Impuls (oder ein Eingangssignal vom Flip-Flop 62) zur Rückstellung der Signalverminderung weiter. Der Start-Flip-Flop 62 wird an einem Start-Eingang 64 gestellt und am Ende des nächsten 1-Sekunden-Taktes, nachdem das B_0 -Ausgangssignal des Zählers 54 seinen hohen Signalzustand eingenommen hat, zurückgestellt.

An einen Zähler 68 und an den Zähler 56 ist über entsprechende Inverter 70 bis 76 ein binärer Verminderungskreis 66 angekoppelt. An die Ausgänge des Zählers 68 ist ein auf einem monostabilen Multivibrator 80 geschaltete Nand-Gatter 78 ange-

koppelt, wodurch ein Verminderungstakt-Ausgangssignal erzeugt wird. Der Zähler 63 beginnt von der Verminderungseingangsinformation an zu zählen und zählt bis zu einem Gesamt-1-Zustand. Dieser auf das Hand-Gatter 78 gegebene Zustand triggert den monostabilen Multivibrator 80 zur Bildung eines Verminderungstakts und stellt den Zähler 63 auf den Verminderungseingangszustand zurück. An einem Eingang 82 wird der Zeitzähler 54 durch ein Betätigungssignal zum Zählen veranlaßt, während am Eingang 64 ein Startsignal auf den Start-Flip-Flop 62 gegeben wird.

Fig. 3 zeigt im einzelnen den Frequenzänderungstakt-Generator 14 mit der Bereichseingangsstufe 18, der Zeiteingangsstufe 22, der Teilerlogik 19 und dem Intervallregister 20. Das Intervallregister 20 enthält eine Folge von Speicherregistern 84 bis 90, während die Teilerlogik 19 eine entsprechende Folge von Additionsstufen 92 bis 98 enthält. Die Bereichseingangsstufe 18 ist an die Additionsstufen 96, 98 angekoppelt, während die Zeiteingangsstufe 22 über einen Eingang einer Folge von Hand-Gattern 100 bis 103 an die Additionsstufen 92 und 94 angekoppelt ist.

Die Register 84 bis 90 des Intervallregisters 20 sind an entsprechende Additionsstufen 92 bis 98 der Teilerlogik 19 angekoppelt. Die Teilung des im Intervallregister 20 gespeicherten Zeiteingangs erfolgt durch wiederholtes Subtrahieren des Bereichseingangs unter Verwendung der Additionsstufen der Teilerlogik 19. Ein Inverter 110 ist an die Additionsstufe 92 und weiter an einen Einspeicher-Flip-Flop 112 sowie

ein Nand-Gatter 114 angekoppelt. Der Flip-Flop 112 liefert das zweite Eingangssignal für das Nand-Gatter 114. Ein Inverter 116 ist vom Nand-Gatter 114 auf die zweiten Eingänge der Folge von Nand-Gattern 100 bis 108 geschaltet. Das Ausgangssignal des Inverters 116 wird weiterhin bei 118 als Frequenzänderungstakt vom Frequenzänderungstakt-Generator 14 abgegeben.

Die logische Schaltung nach Fig. 3 dient zur Erfüllung der Beziehung

$$\text{Frequenzänderungstakt} = \frac{\text{IR-Takt} \times \text{Zeit} \times \text{Auflösung}}{\text{Bereich}}$$

worin der Bereich = f_1 (hohe Frequenz) + f_2 (tiefe Frequenz) entsprechend der Start- und Endfrequenz ist.

Der Frequenzänderungstakt-Generator stellt mit anderen Worten eine logische Einrichtung zur digitalen Teilung des Bereichs in das Zeitintervall des Wobbelvorgangs mal dem IR-Takt und mal der Auflösung dar. Die Registertaktfolge wird also als "Zeitbasis" in der Multiplikation benutzt, wobei eine Auflösung, welche größer oder kleiner als eine Periode ist, einen entsprechenden Divisions- oder Multiplikationsprozess mit der Auflösungszahl erfordert. Ist beispielsweise eine Zweiperioden-Auflösung erwünscht, so werden der IR-Takt und die Zeit zur Bildung einer höheren Auflösung durch 2 geteilt.

Der Zeiteingang wird logisch mit dem IR-Takt multipliziert und der Quotient im Intervallregister 20 gespeichert. Dies erfolgt über den Einspeicher-Flip-Flop 112 und den Inverter 110, wodurch das Hand-Gatter 114 und dann die Zeiteingangsgatter 100 bis 103 geschaltet werden. Unter Ausnutzung des IR-Taktes werden die Binärwerte des Bereichseingangs ausreichend oft subtrahiert, um eine aufeinanderfolgend kleinere Zahl im Intervallregister 20 zu bilden. In einem bestimmten Zeitintervall nach dem Anfangszustand des Intervallregisters 20 ist der darin vorhandene Rest kleiner als die Binärzahl des Bereichseingangs. Danach gibt die Teilerlogik 19 einen Null-Übertragsimpuls über den Inverter 110, der den Zeiteingang mal dem IR-Takt beim nächsten Taktsignal erneut in das Intervallregister 20 einspeichert. Bei dem auf den Null-Übertrag folgenden Taktsignal wird der Einspeicher-Flip-Flop 112 gestellt und das Gatter 114 gesperrt, wodurch wiederum die Zeiteingangsgatter 100 bis 103 gesperrt werden. Damit wird verhindert, daß nach Erzeugung eines Frequenzänderungstaktsignals bei 118 ein Zeiteingangssignal auf die Teilerlogik 19 gelangt. Daher entspricht das Zeitintervall, in dem die Additionsstufe 92 ihren tiefen Signalzustand annimmt, dem vorerwähnten Frequenzänderungstakt. Dieser Takt vom Generator 14 dient zur Steuerung der Taktfolge des Frequenzregisters 24 des Anstiegstakt-Generators 16.

Fig. 4 zeigt den Anstiegsgenerator 16 nach Fig. 1 mit der Startfrequenzstufe 26, dem Frequenzregister 24, der Teilerlogik 28 und dem Zeitperiodenregister 30. Das Frequenzregi-

ster 34 enthält sequentielle gekoppelte Aufwärts-Abwärts-zähler 120 bis 124, die durch ein Aufwärts- und ein Abwärts-Und-Gatter 126 bzw. 128 gesteuert werden. Der Frequenzänderungstakt wird als ein Eingangssignal auf die Und-Gatter 126, 128 gegeben. Das andere Eingangssignal schaltet das Gatter 128 für ein Abwärtswobbeln und das Gatter 126 für ein Aufwärtswobbeln durch. Die Ausgangssignale der Startfrequenzstufe 26 werden auf die Aufwärts-Abwärtszähler 120, 124 gegeben. Weiterhin wird zur Speicherung der Startfrequenz- in den Aufwärts-Abwärts-Zählern 120 bis 124 ein "Freigabe"-Eingangssignal eingespeichert. Die Ausgangssignale werden auf Additionsstufen 132 bis 136 einer Folge von Additionsstufen 130 bis 136 gegeben, welche die Teilerlogik 28 bilden.

Die Additionsstufen 130 bis 136 sind ihrerseits mit einer Folge von Speicherregistern 138 bis 144 gepulst, welche das Zeitperiodenregister 30 nach Fig. 1 bilden. Der CPR-Takt wird zur Bildung eines Speichertaktes für das Zeitperiodenregister 30 an die Register 138 bis 144 eingespeist.

Die logische Schaltung nach Fig. 4 stellt eine digitale Anordnung zur Erfüllung der Beziehung:

$$\text{Anstiegstakt} = \frac{\text{TPR-Takt} \times \text{Punkte pro Periode der Sinuswelle}}{\text{Frequenz des Frequenzregisters 24}}$$

dar.

Zu diesem Zweck wird die Binärzahl im Frequenzregister 24

durch kontinuierliche Frequenzaddition als komplementäre Binärzahl in den TPR-Takt geteilt. Wenn die Zahl im Frequenzregister 24 ausreichend oft subtrahiert ist, damit das Zeitperiodenregister 30 beim nächsten TPR-Taktsignal negativ wird, so wird auf der Übertragsleitung von der Additionsstufe 130 ein Impuls zwecks nachfolgender Einspeisung in den Anstiegszähler 34 des Generators 32 abgegeben (Fig. 1, 5, 6). Der auf der Übertragsleitung (mit 145 bezeichnet) abgegebene Impuls stellt den vorerwähnten Anstiegstakt dar. Das bedeutet, daß das Übertragsausgangssignal gegen Erde geht, wenn der Rest im Zeitperiodenregister 30 kleiner als der Inhalt des Frequenzregisters 24 ist, wodurch bei 145 der Anstiegstakt erzeugt wird. Zum Zeitpunkt des nächsten TPR-Taktsignals läuft das Zeitperiodenregister 30 Über, was zur Erzeugung einer Binärzahl führt, die gleich dem positiven Rest vor dem Überlauf $+ 4,096 -$ dem Inhalt des Frequenzregisters 24 ist.

Fig. 5 zeigt als Blockschaltbild den digitalen Sinusfunktions-Generator 32 nach Fig. 1, welcher ein sinusförmiges Signal konstanter Frequenz oder ein Wobbel-Signal mit vorgegebenem Frequenzbereich und vorgegebener Zeitdauer erzeugen kann. Die Schaltung kann weiter gemäß Fig. 6 modifiziert werden, um eine Möglichkeit zur Verminderung des sinusförmigen Ausgangssignals zu schaffen. Ein vermindertes Wobbel-Signal eignet sich speziell zur Speisung einer seismischen Quelle.

Gemäß Fig. 5 wird der vorerwähnte Anstiegstakt über die Lei-

tung 145 in den Anstiegsszähler 34 eingespeist, dessen Ausgangssignale wiederum in den Ansteigsgenerator 36 eingespeist werden. Speziell werden die Ausgangssignale des Anstiegsszählers in eine komplementäre Stufe 146 eingespeist, welche ihrerseits auf einen Festwertspeicher 148 arbeitet. Dieser Festwertspeicher 148 ist an den digitalen analogen Konver^{ter}/38 angekoppelt, der ein analoges sinusförmiges Ausgangssignal (d.h. das analoge Wobbel-Signal gemäß Fig. 1) liefert. Wie Fig. 5 zeigt, adressieren die Bits 2^0 bis 2^4 die Sinusfunktion von 0° - 90° , welche im Festwertspeicher 148 gespeichert ist. Das 2^5 -Bit bildet die Adresse für den Zugriff zur Sinusfunktion von 91° - 180° durch Komplementärbildung im Anstiegsszähler 34, während das 2^6 -Bit das auf den Digital-Analog-Konverter 38 gegebene Sinus-Bit für den Zugriff zur Sinusfunktion von 181° - 360° ist.

Speziell wird die Sinus -Funktion mittels des Generators 32 durch Adressierung des Festwertspeichers 138 erzeugt, der die Sinusfunktion von 0° - 90° in Abhängigkeit von der geforderten Auflösung in einer vorgegebenen Anzahl von Stellen enthält. Der Anstiegsszähler 34 dient zur sequentiellen Adressierung der Stellen von 0° - 90° über die ersten fünf Bits. Die für den Zugriff zur Sinusfunktion von 91° - 180° notwendigen Adressen werden durch Komplementbildung des Zählers 34 über das sechste Bit erhalten. Die Zählfolge wird ohne das Komplement für die Sinusfunktion von 181° - 270° wiederholt, wobei das Sinusbit (7. Bit) die entgegengesetzte Polarität der Sinuswelle angibt.

Der Anstiegsszähler 34 wird in Verbindung mit dem Sinus-Bit erneut einer Komplementbildung unterzogen, um den Zugriff zur Sinusfunktion um 271° - 360° zu schaffen. Das resultierende Ausgangssignal ist ein eine Periode des Sinus-Signals repräsentierendes digitales Wort, das bei Einspeisung in den Digital-Analog-Konverter 38 zur Erzeugung des analogen sinusförmigen Ausgangssignals im Sinne der Erfindung führt. Es ist zu bemerken, daß die Anstiegs-Taktfrequenz größer als die gewünschte Analogfrequenz des Ausgangssignals ist und zwar um eine Zahl, welche gleich der pro Periode des sinusförmigen Signals gewählten Anzahl von Stellen ist. Beispielsweise enthält der Festwertspeicher 148 die Sinusfunktion von 0° - 90° in 0 bis 31 Stellen. Der Anstiegsszähler 34 adressiert jede dieser Stellen von 0 - 31, wonach die Logik das Komplement der fünften Bit-Adresse bildet; wenn der Anstiegsszähler 34 weiter aufwärts zählt, zählt die Adresse abwärts von 31 - 0. Bis hierher liefert der Festwertspeicher 148 das digitale Wort für 180° einer Sinuswelle. Wie oben erwähnt, werden die nächsten 180° durch Wiederholung der vorgenannten Schritte mit dem Komplement des Sinus-Bits erhalten.

Fig. 6 zeigt im einzelnen den digitalen Sinusfunktions-Generator 32 nach Fig. 5, welcher zusätzlich eine digitale Logik zur Bildung einer Signalverminderung an den Enden des Wobbsignals enthält. In Fig. 6 sind der Anstiegsszähler 34, der Anstiegsgenerator 36 und der Digital-Analog-Konverter 38 vorerwähnter Art gemäß Fig. 1 und speziell Fig. 5 dargestellt. Weiterhin ist die die Signalverminderung erzeugende Logik der vorerwähnt-

ten Art dargestellt, welche eine Verminderungs-Logikstufe 150 und einen Verminderungsgenerator 152 enthält. Weiterhin ist eine unipolar arbeitende Logik 154 vorgesehen, welche einen Unipolarbetrieb ermöglicht, was im folgenden noch erläutert wird. Ist eine Verminderung des durch den erfindungsgemäßen Generator erzeugten Hobbelsignals nicht erwünscht, so können die Verminderungs-Logikstufe 150 und der Verminderungsgenerator 152 entfallen, wobei das Ausgangssignal des Anstiegszählers 34 direkt auf die Komplementärstufe 146 des Anstiegsgenerators 36 gegeben wird. Das Ausgangssignal des Festwertspeichers 148 wird dann direkt in den digitalen analogen Konverter 38 zur Bildung des analogen Hobbelsignals eingespeist.

Der Anstiegszähler 34 enthält ein Zählerpaar 156, 158, wobei der Zähler 156 den von der Teilerlogik 23 des Anstiegstakt-Generators 16 gelieferten Anstiegstakt aufnimmt. Die Zähler 156, 158 nehmen weiterhin den vom oben erwähnten Start-Flip-Flop 62 (Fig. 2) gelieferten Rückstell-Eingangsimpuls auf. Die Ausgangssignale der Zähler 156, 158 werden auf Additionsstufen 160, 162 gegeben. Ein vom Flip-Flop 30 nach Fig. 2 gelieferter Verminderungs-Takt wird in ein Und-Gatter 164 eingespeist, welches am Ausgang des Zählers 166 angekoppelt ist. Die Ausgangsleitung des Zählers 166 ist über einen Inverter 163 auf den anderen Eingang des Und-Gatters 164 geführt. Der Verminderungs-Rückstellimpuls wird vom Hauptoszillator 12 nach Fig. 2 in den Zähler 166 eingespeist.

Der Rückstellimpuls wird auf einen zweiten Zähler 170 gegeben, wobei die Ausgangssignale der Zähler 166, 170 in erste Eingänge einer Folge von Verminderungs-Logik-Und-Gatter 172 - 184 eingespeist werden. Die zweiten Eingangssignale für diese Und-Gatter 172 - 184 werden über einen Inverter 186 von der Anstiegs-Taktleitung 145 geliefert. Die Ausgangssignale der Und-Gatter 172 - 178 sowie 180 - 184 werden zusammen mit den entsprechenden Ausgangssignalen der Zähler 156, 158 auf die Zähler 160 und 162 gegeben.

Die Ausgangssignale der Additionsstufen 160, 162 werden auf die Komplementärstufe 146 gegeben, welche einen Basis/Komplement-Logik-Chip 183, einen Inverter 190 und ein Exklusiv-Oder-Gatter 192 enthält. Das Ausgangssignal des Zählers 183 und des Gatters 192 werden in den Festwertspeicher 148 eingespeist. Der Logik-Chip 183 liefert eine Basis-Sinusfunktion, wenn das eingespeiste Steuersignal seinen hohen Signalezustand besitzt.

Die Unipolar-Logik enthält ein Paar von Basis/Komplement-Logik Chips 194, 196, welche an den Ausgang des Festwertspeichers 148 angekoppelt sind. Diese unipolar arbeitende Logik 154 dient zur Invertierung der vom Festwertspeicher 148 gelieferten Sinusfunktion, um für Unipolarbetrieb das richtige digitale Wort in den digitalen analogen Konverter 38 einzuspeisen; Der Betrieb erfolgt also nur in einer Polarität. Die Ausgangssignale der Logik-Chips 194, 196 werden im Register 198 und 200 und sodann in Additionsstufen 202, 204 des Verminderungsgenerators 152 eingespeist. Der Anstiegstakt wird ebenfalls in die Register 198, 200 eingespeist. Von der Additionsstufe 162 wird

ein Sinus-Bit als Eingangssignal in die Logik-Chips 194, 196, das Register 198 und die Additionsstufe 202 eingegeben. Die Ausgangssignale der Additionsstufen 202, 204 dienen zur Adressierung eines Paares von Haltereisterne 206, 208 eines Anstiegsregisters 210, das, wie dargestellt, den digitalen analogen Konverter 38 enthält. Die digitalen Ausgangswörter der Register 206, 208 werden bei 212 abgegeben und weiterhin in den Digital-Analog-Konverter 38 eingespeist, um das analoge Kippsignal im erfindungsgemäßen Sinn zu bilden.

Die Erzeugung einer Verminderung an den Enden des analogen Wobbel Signals erfolgt unter Verwendung des Festwertspeichers zur Festlegung der Verminderungswerte. Zu diesem Zweck wird die Einspeisung des Inhalts der Verminderungszähler 166, 170 in die Additionsstufen 160, 162 durch die Und-Gatter 172 bis 184 verhindert, wenn der Anstiegstakt seinen hohen Signalzustand besitzt. ~~Dann werden nur die Anstiegszähler-~~ Adressen und das Sinus-Bit in den Festwertspeicher 148 gegeben.

Beim Übergang des Anstiegstakts vom hohen zum tiefen Signalzustand wird die durch den Anstiegszähler erzeugte Sinusfunktion lediglich zur Speicherung vom Festwertspeicher 148 in die Register 198, 200 eingegeben.

Besitzt der Anstiegstakt seinen tiefen Signalzustand, so können die Und-Gatter 172 - 184 den Inhalt der Verminderungs-

zähler 166, 170 in die Additionsstufen 160, 162 eingeben, welche die Ausgangssignale des Verminderungszählers zu den Ausgangssignalen des Anstiegszählers zur Bildung einer Adresse addieren, welche die Sinusfunktion für die Verminderung erzeugt. Diese Sinusfunktion wird zu der Anstiegs-Sinusfunktion in den Registern 198, 200 hinzuaddiert, um den Punkt auf dem Anstieg mit der Signalverminderung zu erzeugen. Aufgrund der Inversion des höchstwertigen Bits vom Verminderungszähler 170 (über einen Inverter 214) liegen diese Sinusfunktionen um 180° außer Phase. Werden sie addiert, so führt dies zu einem Ausgangssignal mit der Amplitude Null. Da die Phasenverschiebung von 180° bis gegen 0° abnimmt, liefern die kombinierten Sinusfunktionen eine von Null bis zu einem Maximum zunehmende Phase, was insgesamt eine Signalverminderung bedeutet.

Der Vorgang wird kontinuierlich wiederholt, bis die Verminderungszähler 166, 170 64 mal fortgeschaltet sind, bzw. 64 Schaltzustände durchlaufen haben (in diesem Beispiel). Sodann wird ein weiteres Fortschalten verhindert; d.h., das vom Verminderungszähler 166 auf den Inverter 168 gegebene Ausgangssignal nimmt seinen hohen Signalzustand an, wodurch das Und-Gatter 164 gesperrt wird. In diesem Zeitpunkt wird der Anstiegszähler-Adresse eine Verminderungsadresse Null hinzuaddiert, was zu zwei genau in Phase befindlichen Sinusfunktionen führt. Werden diese beiden Sinusfunktionen über den Verminderungsgenerator 152 addiert, so wird ein Signal mit voller bzw. maximaler Amplitude auf die Haltereister 206, 208 gegeben.

P A T E N T A N S P R Ü C H E

1. Digitaler Sinusfunktions-Generator zur Erzeugung eines analogen sinusförmigen Signals, gekennzeichnet durch einen Hauptoszillator (12) zur Erzeugung eines Paares von Taktsignalen (IR; TPR) vorgegebener Frequenzen, einen eines der Taktsignale (IR) vorgegebener Frequenz aufnehmenden Frequenzänderungstakt-Generator (14) zur Erzeugung eines Frequenzänderungstakt-Signals wählbarer Frequenz, einen das andere Taktsignal (TPR) vorgegebener Frequenz und das Frequenzänderungstakt-Signal aufnehmenden Anstiegstakt-Generator (16) zur Erzeugung eines Anstiegstakt-Signals entsprechend vorgewählter Intervalle zwecks Erzeugung einer gegebenen Sinusfrequenz, und durch einen das Anstiegstakt-Signal aufnehmenden Digital-Sinusfunktions-Generator (32) zur digitalen Erzeugung von 360° einer Sinuswelle entsprechend einer Periode des gewünschten Anlogsignals.
2. Generator nach Anspruch 1, dadurch gekennzeichnet, daß der Frequenzänderungstakt einer vorgegebenen Frequenzänderung einer Sinuswelle in einem vorgewählten Frequenzbereich für ein gegebenes Zeitintervall entspricht.

3. Generator nach Anspruch 1 und 2, dadurch gekennzeichnet, daß der Anstiegstakt-Generator (16) folgende Komponenten enthält:
- ein Frequenzregister (24) zur Aufnahme des Frequenzänderungstakt-Signals vom Frequenzänderungstakt-Generator (14),
 - eine an das Frequenzregister (24) angekoppelte Teilerlogik (28), und ein das andere Taktsignal (TPR) vom Hauptoszillator (12) aufnehmendes und an die Teilerlogik (28) angekoppeltes Zeitperiodenregister (30),
 - wobei die Teilerlogik (28) als Funktion der Taktfrequenz des Zeitperiodenregisters (30) und des Frequenzregisters (24) das Anstiegstakt-Signal erzeugt.
4. Generator nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der digitale Sinusfunktions-Generator (14) folgende Komponenten enthält:
- einen das Anstiegstakt-Signal vom Anstiegstakt-Generator (16) aufnehmenden Anstiegszähler (34)
 - und einen an den Anstiegszähler (34) angekoppelten Anstiegsgenerator (36), der einen die Sinusfunktion von $0 - 90^\circ$ enthaltenden Festwertspeicher (148) zur Erzeugung eines das Sinussignal repräsentierenden digitalen Worts aufweist.
5. Generator nach einem der Ansprüche 1 bis 4, zur Erzeugung eines Wobbel-Ausgangssignals, dadurch gekennzeichnet, daß der ein variables Frequenzänderungstakt-Signal liefernde

Frequenzänderungstakt-Generator (14) folgende Komponenten enthält:

eine Zeiteingangsstufe (22) zur Einspeisung einer dem gegebenen Zeitintervall des Sinussignals entsprechenden Binürzahl,

eine Bereichs-Eingangsstufe (18) zur Einspeisung einer dem Frequenzbereich des Sinussignals entsprechenden Binürzahl,

eine an die Zeiteingangsstufe (22) und die Bereichs-Eingangsstufe (18) angekoppelte Teilerlogik (19),

und ein an die Teilerlogik angekoppeltes und das eine Taktsignal (IR) vom Hauptoszillator (12) aufnehmendes Intervallregister (20), das zusammen mit der Teilerlogik (19)

eine Teilung des Frequenzbereichs in die Wobbelzeit mal dem Takt (IR) und der Auflösung durchführt,

wobei die Teilerlogik (19) das Frequenzänderungstakt-Signal als Funktion der Taktfrequenz des Intervallregisters liefert.

-
6. Generator nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der digitale Sinusfunktions-Generator (32) weiterhin eine an den Anstiegsszähler (34) und den Anstiegsgenerator (36) gekoppelte Signalverminderungsschaltung (150, 152, 210, 148) zur Verminderung des erzeugten Wobbelsignals aufweist.

7. Generator nach Anspruch 6, dadurch gekennzeichnet, daß die Signalverminderungsschaltung (150, 152, 210, 148) folgende Komponenten enthält:

eine zwischen den Anstiegszähler (34) und den Anstiegs-generator (36) gekoppelte Verminderungslogik (150) zur Erzeugung einer, eine ausgewählte Sinusfunktion für die Signalverminderung liefernden Adresse, einen an den Anstiegsgenerator (36) angekoppelten Verminderungsgenerator (152) zur Addition der Anstiegs-Sinusfunktion und der Verminderungs-Sinusfunktion, ein an den Verminderungsgenerator (152) angekoppeltes Anstiegsregister (210), und einen an das Anstiegsregister (210) angekoppelten Digital-Analogkonverter (148).

8. Generator nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Zeiteingangsstufe (22) eine Folge von digitalen Gattern (100, 102 ..., 108) aufweist, daß die Teilerlogik (19) erste an die digitalen Gatter (100, 102, ..., 108) angekoppelte Additionsstufen (92, 94), zweite, an die Bereichs-Eingangsstufe (18) angekoppelte Additionsstufen (96, 98) sowie einen an die ersten Additionsstufen (92, 94) angekoppelten Flip-Flop (112) aufweist, daß das Intervallregister (20) erste an die ersten Additionsstufen (92, 94) angekoppelte Zähler (84, 86) und zweite, an die zweiten Additionsstufen (96, 98) angekoppelte Zähler (88, 90) aufweist, und daß ein Nullübertragungsimpuls in den Flip-Flop (112) eingespeist wird, wenn der Rest des Zählereinhalts kleiner als

die Binärzahl der Bereichs-Eingangsstufe (18) ist und der Flip-Flop die digitalen Gatter (100, 102, ... , 108) über die Erzeugung des Frequenzänderungstakt-Signals durchschaltet.

9. Generator nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß im Anstiegstakt-Generator (16) eine Startfrequenzstufe (26) vorgesehen ist, daß das Frequenzregister (24) an die Startfrequenzstufe (16) angekoppelte Aufwärts-Abwärtszähler (120, 122, 124) sowie das Frequenzänderungstakt-Signal auf die Aufwärts-Abwärtszähler koppelnde Aufwärts-Abwärtsgatter (126, 128) aufweist, daß die Teilerlogik (28) des Anstiegstakt-Generators (16) dritte an die Aufwärts-Abwärtszähler (120, 122, 124) angekoppelte Additionsstufen (130, 132, 134, 136) aufweist, daß das Zeitperiodenregister (30) dritte, an die dritten Additionsstufen (130, 132, 134, 136) angekoppelte Zähler (138, 140, 142, 144) aufweist, und daß über die dritten Additionsstufen (130, 132, 134, 136) ein dem Anstiegstakt-Signal entsprechender Übertragssimpuls erzeugt wird, wenn der Rest des Zeitperiodenregister-Inhalts kleiner ist als die im Frequenzregister (24) enthaltene Binärzahl.

10. Generator nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Verminderungslogik (150) an den Anstiegszähler (34) angekoppelte Additionsstufen (160, 162) enthält,

daß an die Additionsstufen (160, 162) über das Anstiegstakt-signal aufnehmende digitale Gatter (172, 174, ..., 184) Zähler (166, 170) angekoppelt sind, daß der Verminderungs-generator (152) ein Paar von Registern (198, 200) aufweist, die an ein Paar von Additionsstufen (202, 204) angekoppelt sind, um die vom Anstiegsszähler (34) und die von den Zählern (166, 170) in der Verminderungs-logik (150) gelieferten Sinusfunktionen zu addieren, und daß das Anstiegsregister (210) ein Paar von an die Additionsstufen (202, 204) angekoppelten Registern (206, 208) aufweist.

11. Generator nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß der Anstiegsgenerator (36) eine an den Anstiegsszähler (34) angekoppelte Komplementärstufe (146) zur Erzeugung eines Digitalwortes aufweist, das den Bereich bis 360° der Sinusfunktion umfaßt, die von 0° - 90° im Festwertspeicher (148) enthalten ist.

309811/0747

18
Leerseite

-33-
eingegangen am 22.9.72

21 a 4

6-01

AT/ 25.08.72

OT: 15.03.73

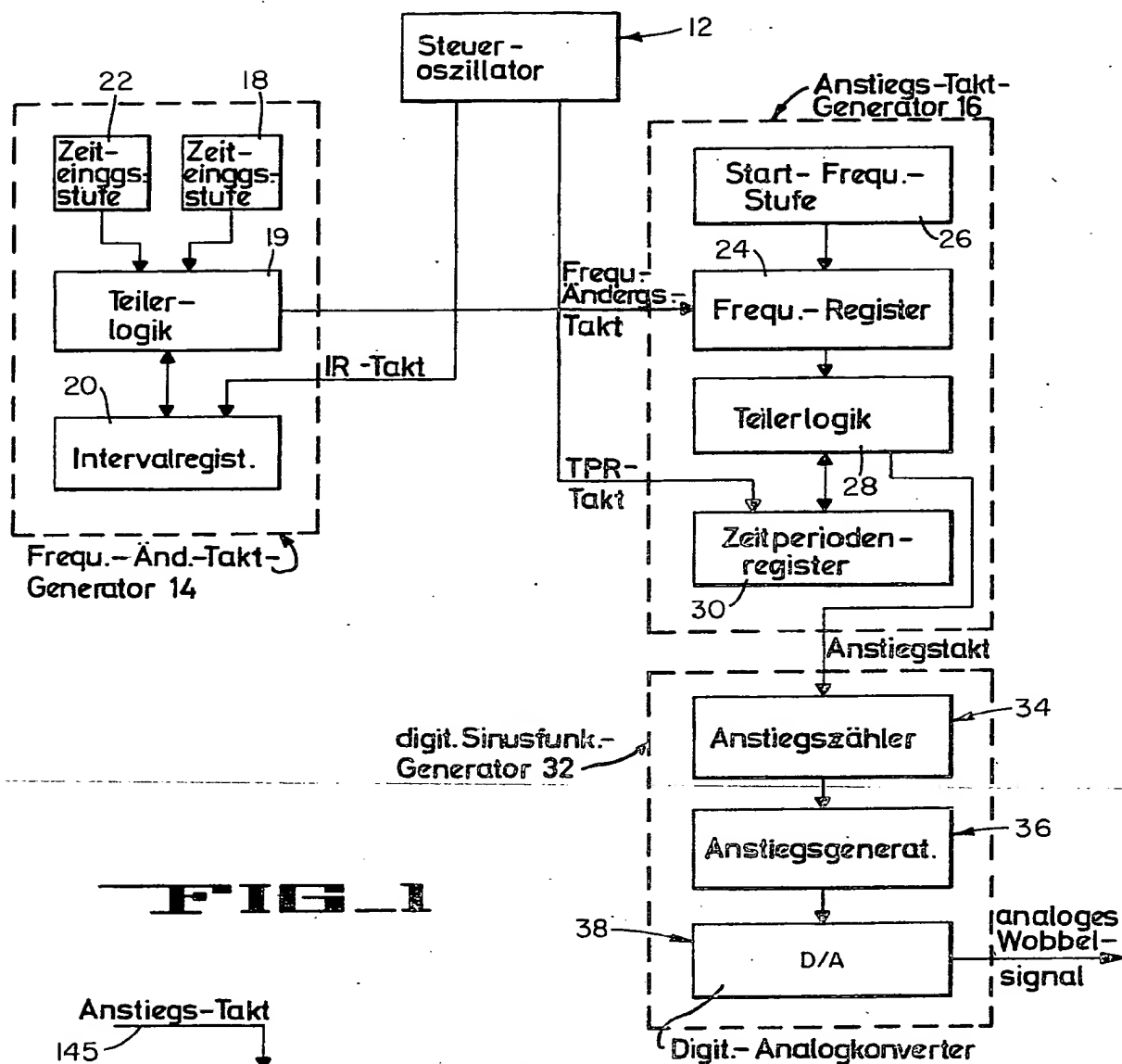


FIG. 1

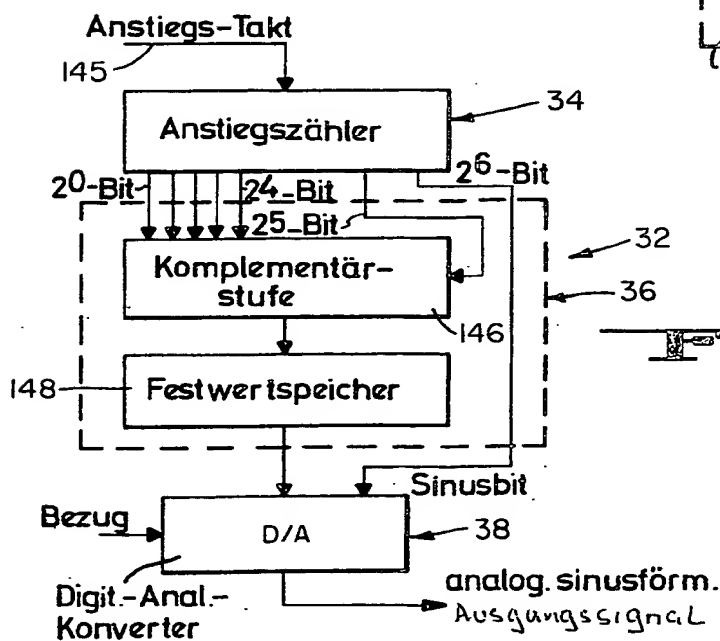


FIG. 2

309811/0747

29.

eingegangen am 22. 9. 72

2241810

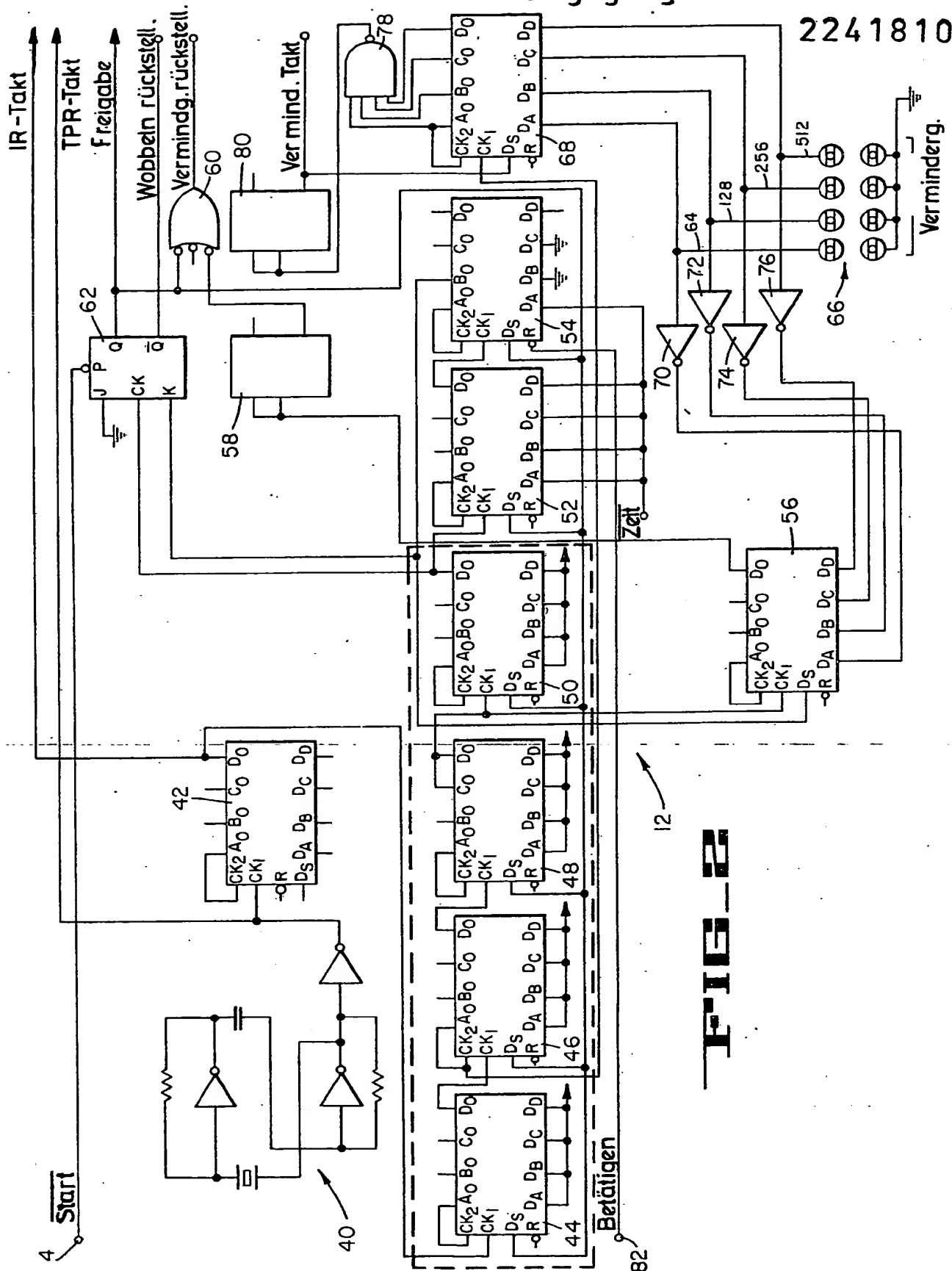
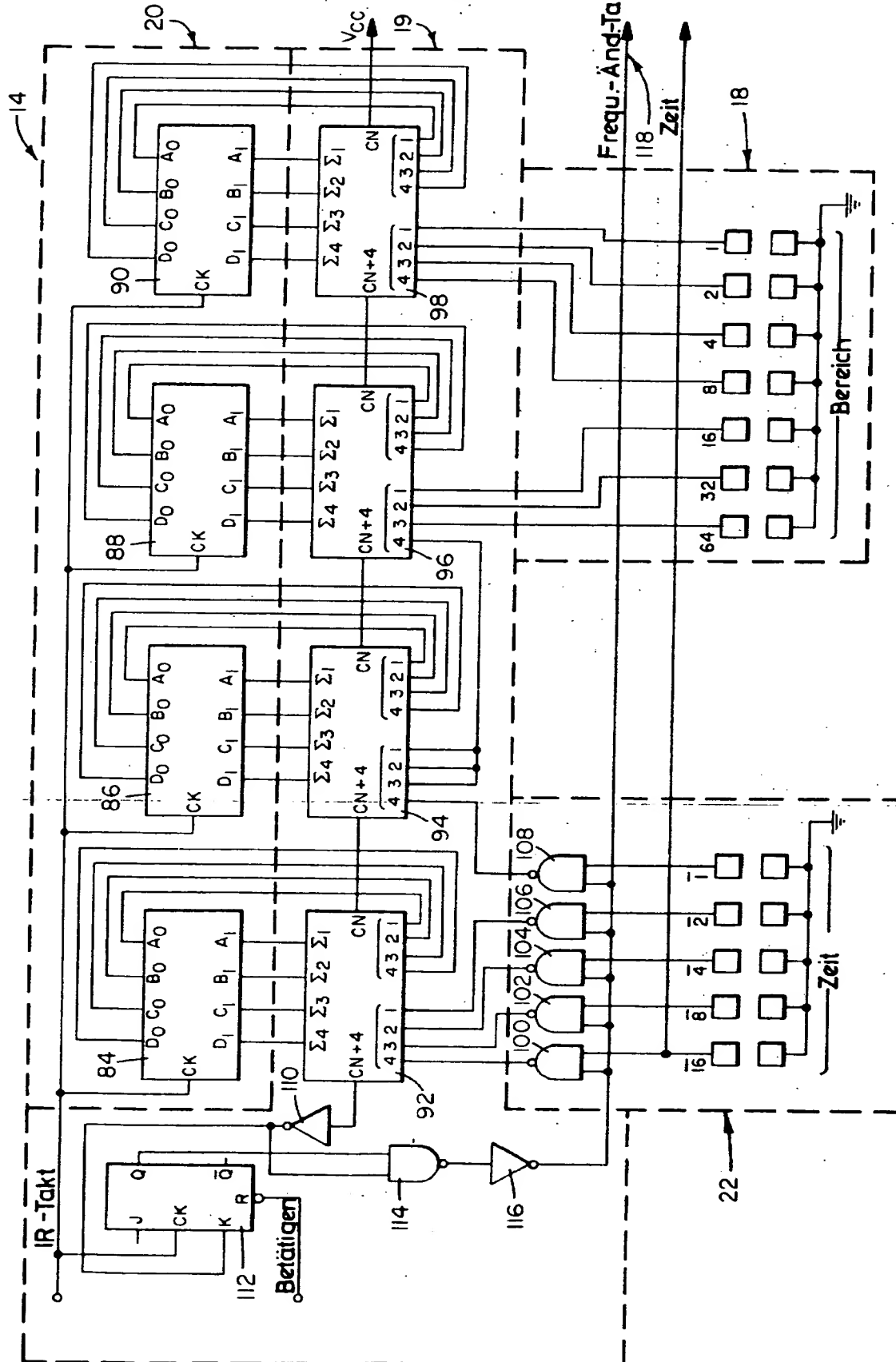


FIG. 2

309811/0747

Mandrel Ind. Inc.



309811/0747

Mandrel Ind. Inc.

eingegangen am 22.9.72

- 3 -

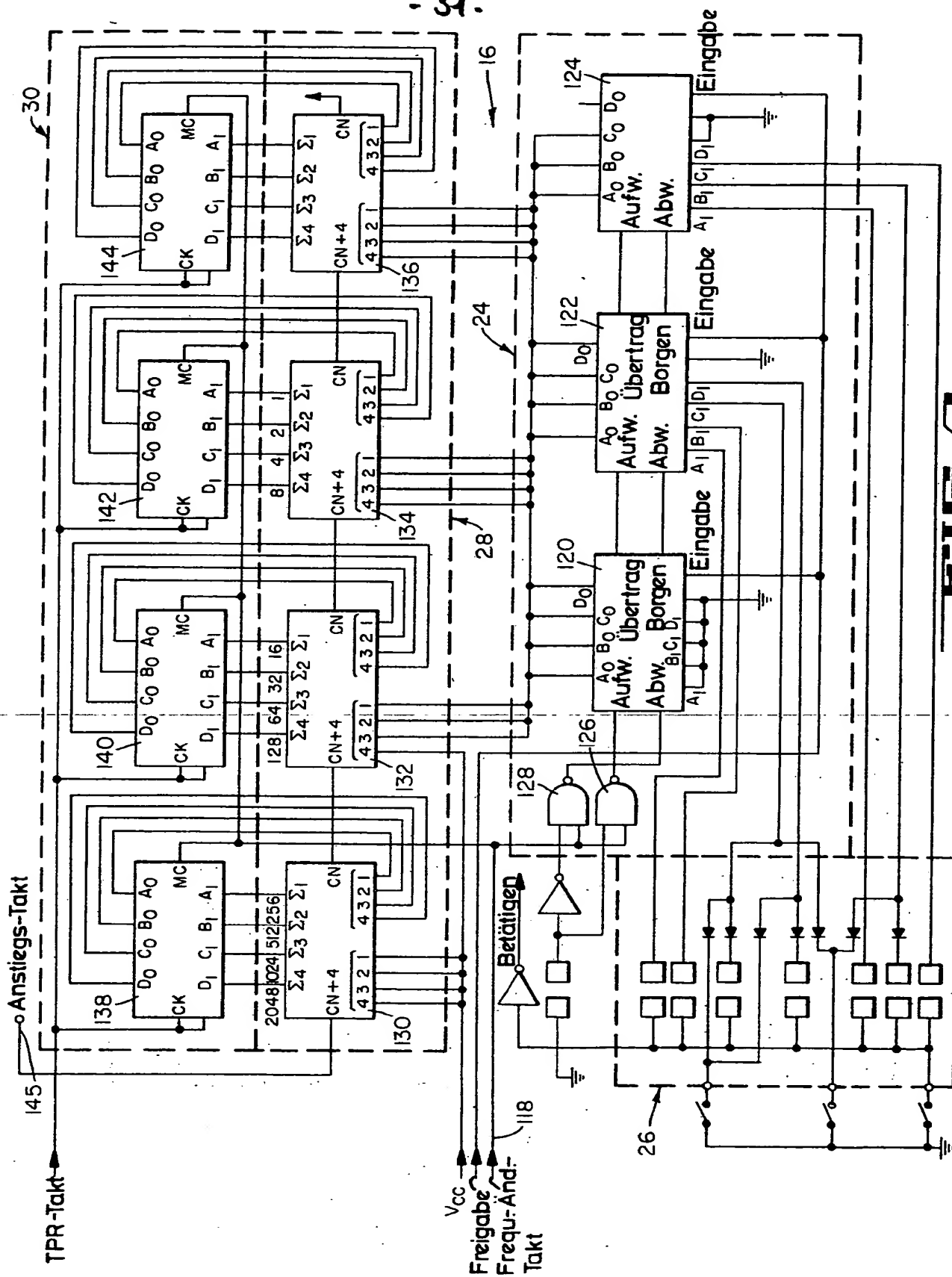
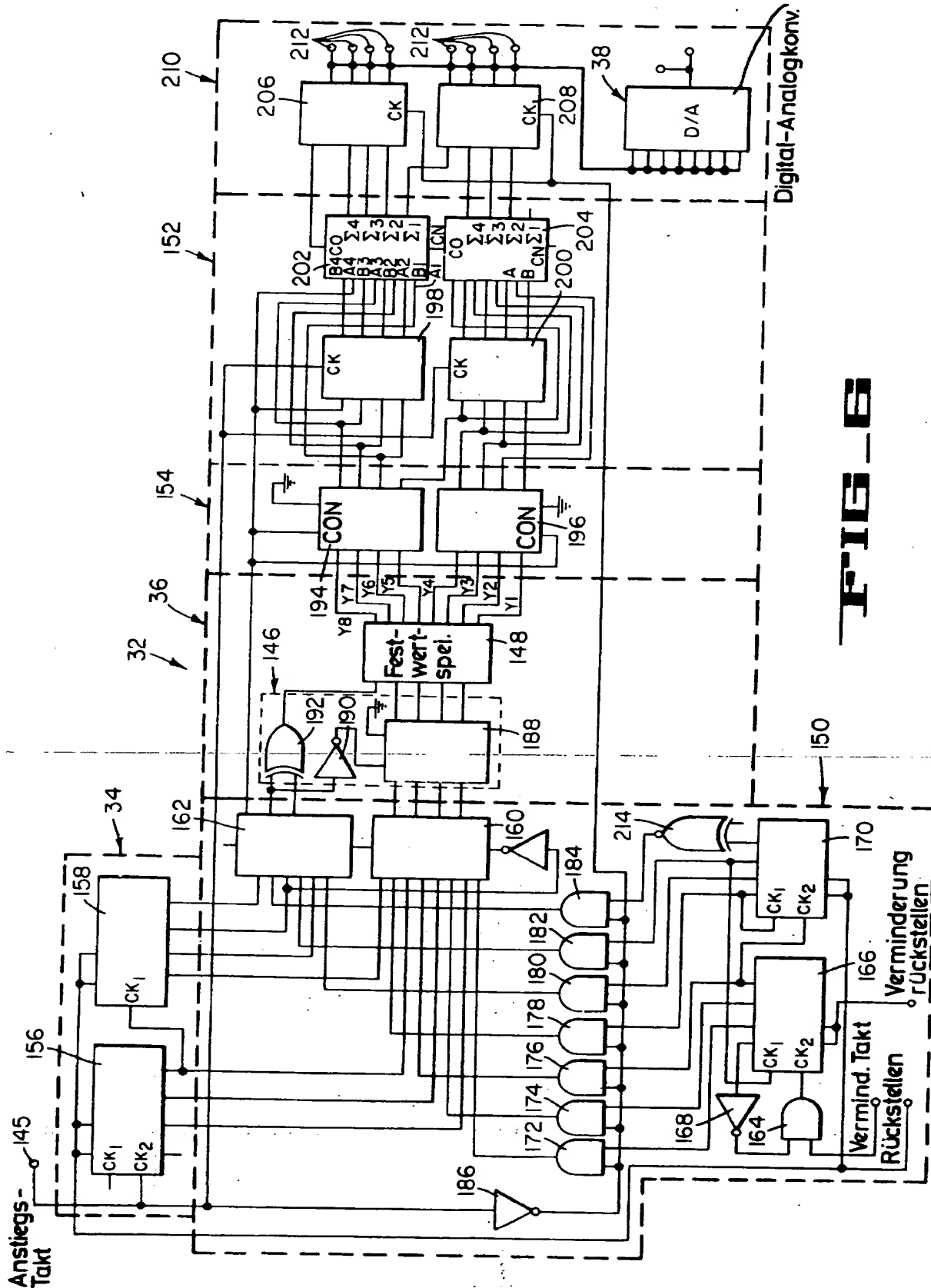


FIG. 4



FIE-B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)